



WP434(v1.0), 2013年12月10日

面向高性能 Smarter System的 Xilinx UltraScale架构

作者: Nick Mehta

突破性的系统性能、前所未有的高容量和低功耗需求,使得赛灵思UltraScale™器件成为众多新一代应用的明确选择。

不管是支持大都市区域实现可靠通信还是收发高分辨率医学图像,抑或是足不出户在家观看最新大片,都表现出全球对智能带宽技术不断增长、似乎永无止境的需求。系统也因此需要以更快的数据速率接收、缓冲、处理和传输日益增长的数据量,同时还要满足严格的功耗和成本预算要求。

赛灵思基于其业界首款ASIC级UltraScale可编程架构推出了功能更强大的Kintex® UltraScale™和Virtex® UltraScale器件,可以帮助系统OEM厂商满足上述需求。可以从20nm平面技术向16nmFinFET乃至更高技术扩展的UltraScale架构,将成功的架构平台与大量创新架构开发技术和第二代3DIC技术完美结合在一起。UltraScale架构与Vivado®设计套件协同优化,可大幅提高器件利用率和提升用户生产力,进而能帮助用户以更快的速度、更少的器件打造出智能系统。

市场挑战和趋势

许多市场和应用都需要大幅提升系统带宽和处理功能。有线网络解决方案从多个链接的100 Gb/s提升到400 Gb/s乃至高达1 Tb/s，数字视频应用从1080p快速提升到4K（四倍高清）乃至8K（超高清），无线网络则从3G向LTE Advanced乃至NxN LTE Advanced发展。各种不同应用更大的数据吞吐量要求归根结底就是要增加流量，并对所有系统组件提出更高的要求。（参见图1）。

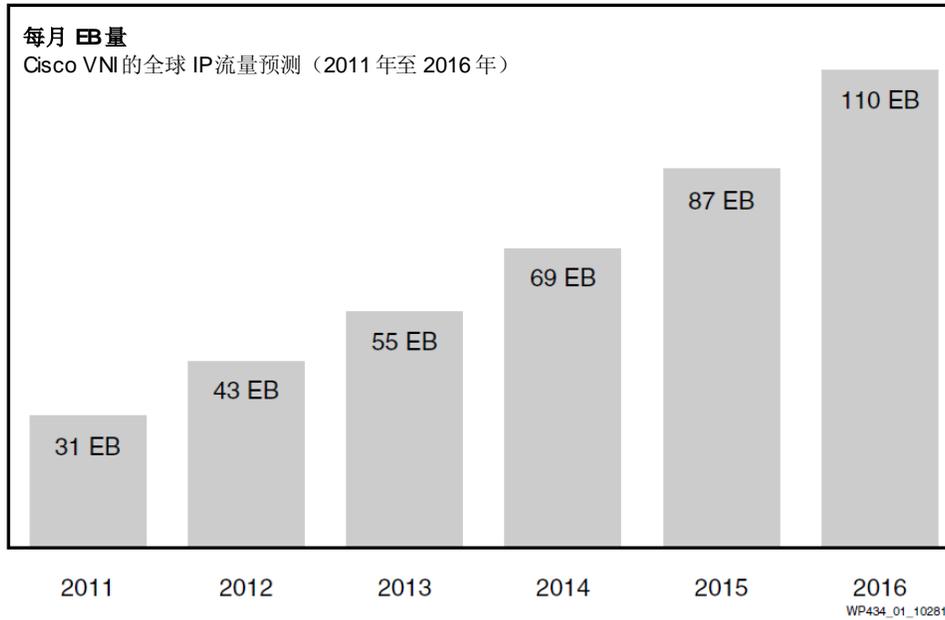


图1: Cisco VNI的全球IP流量预测（2011年至2016年）

随着系统带宽增加，系统内组件的要求也在提升。随着缓冲和数据处理要求的提升，系统组件之间需要传输更多的数据。因此，数据总线通常达到512位到2,048位之间，这就对现有的架构产生了压力。赛灵思UltraScale FPGA可通过多种架构增强和创新功能来应对上述问题，包括布线、时钟和逻辑结构等。

奠定成功的基础

赛灵思推出7系列FPGA，在28nm工艺节点上为UltraScale架构奠定了坚实的基础，三大主要创新包括：

1. 芯片工艺技术
2. 支持3DIC的SSI（堆叠硅片互联）技术
3. Vivado设计套件

第一步是同TSMC合作推出成功的高性能和低功耗28HPL工艺技术。在20nm工艺节点上，UltraScale架构采用20SoC工艺，这是28HPL技术的发展，其利用了相同的设计方法，能完美平衡高性能和整体低功耗需求。

一些Virtex-7 FPGA采用业界领先的创新型SSI技术提高容量和功能，超越了传统制造工艺所能实现的范畴。基于UltraScale架构的FPGA采用第二代SSI技术，不断推进性能和功能的发展，突破新的纪录。

为了完善工艺和架构创新，在28nm工艺节点上，赛灵思推出了全新的、智能的软件设计工具套件 — Vivado设计套件，采用分析布局算法，能随着FPGA和SoC密度的增加进行扩展，从而支持未来多代技术的要求。Vivado设计套件的开发和推出不仅可提高软件运行时间、结果质量(QoR)和改善设计布局布线，而且还能支持赛灵思发现7系列架构需要提升的关键领域，从而有效解决新一代快速、宽数据通路的问题——赛灵思称之为协同优化技术。

20nm ULTRASCALE器件产品系列的推出： KINTEX ULTRASCALE和VIRTEX ULTRASCALE器件

两款高性能FPGA系列产品KintexUltraScale和VirtexUltraScale均以UltraScale架构为基础，能充分满足一系列中高端系统和应用需求。这两种器件系列虽然采用相同的架构，但可提供不同的资源组合（DSP、BRAM、CLB等）。由于采用相同的底层架构，因此DSP、BRAM、CLB等模块能够实现相同的高性能。

举例来说，利用DSP优化的KintexUltraScale 20nm产品系列能充分满足大规模信号处理的要求，其DSP功能远远超越了Kintex-7和VirtexUltraScale FPGA。KintexUltraScale FPGA采用多达64个收发器、800多组I/O、79 Mb的BRAM，是前代FPGA高端器件才能支持相关应用的理想解决方案。

VirtexUltraScale FPGA采用多达104个收发器，数据速率高达32.75 Gb/s，并且结合强大的片上和片外存储器功能，从而实现前所未有的系统连接功能和吞吐量。此外，VirtexUltraScale系列还包括全球最大容量FPGA——VU440，它具有超过440万个逻辑单元、高达89 Mb的BRAM以及1400多组用户I/O。

表1给出了20nm和28nm器件的峰值功能概要，这些器件代表了中高端产品，具有业界最高的DSP带宽、收发器性能、总串行带宽和嵌入式存储器功能。

表1: 20nm和28nm器件的最大值

器件资源	Kintex-7	Kintex UltraScale	Virtex-7	Virtex UltraScale
逻辑单元	478	1,160	1,995	4,407
BRAM(Mb)	34	76	68	115
DSP48	1,920	5,520	3,600	2,880
峰值DSP性能(GMACs)	2,845	8,180	5,335	4,268
收发器数量	32	64	96	104
峰值收发器线速(Gb/s)	12.5	16.3	28.05	32.75
峰值收发器带宽(Gb/s)	800	2,086	2,784	5,101
PCI Express 模块	1	4	4	6
100G以太网模块	-	2	-	7
150G Interlaken模块	-	1	-	9
存储器接口性能(Mb/s)	1,866	2,400	1,866	2,400
I/O引脚	500	832	1,200	1,456

赛灵思7系列28nm中高端器件和UltraScale器件共同构成多工艺节点产品组合。设计人员可根据系统要求选择具体的28nm或20nm器件系列，从而确保实现系统性能、功耗和成本的最佳平衡。赛灵思7系列FPGA已经取得了巨大成功，在系统性能、功率效率和成本效率方面都居于业界领先地位。

对许多应用来说，赛灵思28nm7系列产品组合仍可继续提供最佳解决方案。然而，赛灵思UltraScale架构能够满足更大规模的数据流和提供更高的性能，支持更快、更智能的系统，因而能够满足通信、网络、视觉、信号处理等应用领域的发展大趋势。

ULTRASCALE增强功能充分应对新一代挑战

为了高效接收、缓冲、处理和传输大量数据，满足新一代系统和应用需求，UltraScale架构在28nm工艺的坚实基础上实现了一些关键架构的增强功能。随着设计变得越来越复杂，内部数据总线越来越宽，要处理的物理数据信号越来越多（往往是片上高速串行收发器数量大幅增加造成的），一系列挑战变得尤为突出：

- 布线延迟在系统整体延迟中占主要部分
- 时钟偏移消耗大量可用的时序裕量
- 次优化的逻辑封装降低系统性能

为了充分应对上述挑战，就需要一款能通过分析来了解和解决潜在瓶颈的软件引擎。因此，赛灵思推出了Vivado设计套件，可用于设计分析，从而确定问题出处并在问题发生前加以解决。

通过让逻辑彼此靠近，所用元件之间的线长得以缩短，从而减少布线延迟，降低功耗。此外，驱动这些彼此更靠近的元件的时钟信号也因此缩短了其在设计中经过的距离，从而减少了时钟偏移。

随着28nm工艺节点推出智能分析型Vivado软件，下一步就是对硬件架构做出必要的提升，从而充分满足新一代应用的要求。

新一代布线可提高利用率、性能和运行时间

就传统FPGA架构而言，逻辑资源通常以纵横互联矩阵的方式进行布局。随着FPGA器件尺寸增加到数百万个逻辑单元的容量（相当于数千万ASIC门的水平），逻辑（增幅为N次方）和互连资源数量（增幅为N倍）的差异，成为以系统性能水平成功实现布线设计的一大限制性因素。

UltraScale架构通过增加所有器件中的互连资源数量来解决上述挑战，在A到B之间提供更多的直接布线，并以最快且最低功耗的配置为软件工具提供更多选项来连接逻辑资源。参见图2。

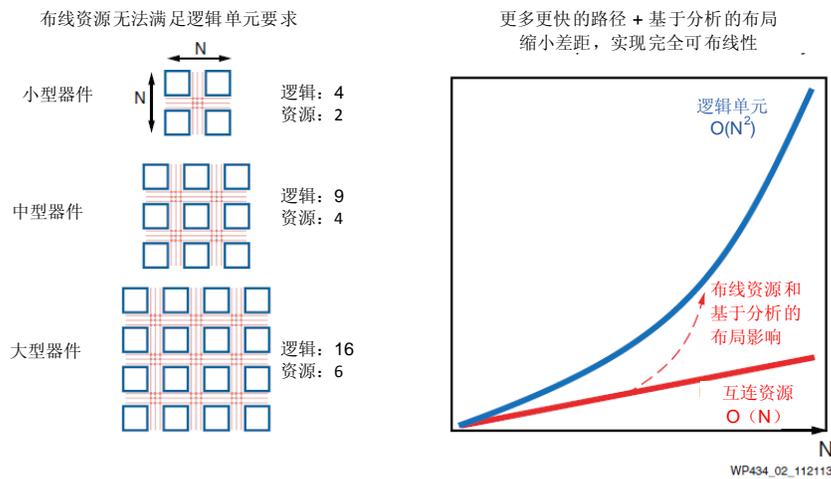


图2: 在UltraScale架构中增加布线

这可解决器件周边大幅加速数据信号布线的挑战，从而提升整体设计性能。不过，如果数据性能提升，时钟性能也必须相应提升。

类似ASIC的时钟可最大限度地提高性能

UltraScale架构之前的FPGA架构采用“从几何中心扇出”的时钟方案，支持在器件中心的全局时钟资源扇出到FPGA边缘，同时一直累加偏移。尽管这为许多代技术提供了坚实的解决方案，但随着容量、功能和系统性能芯片宽度的提升，时钟偏移会对设计的整体时序预算造成负面影响。参见图3。

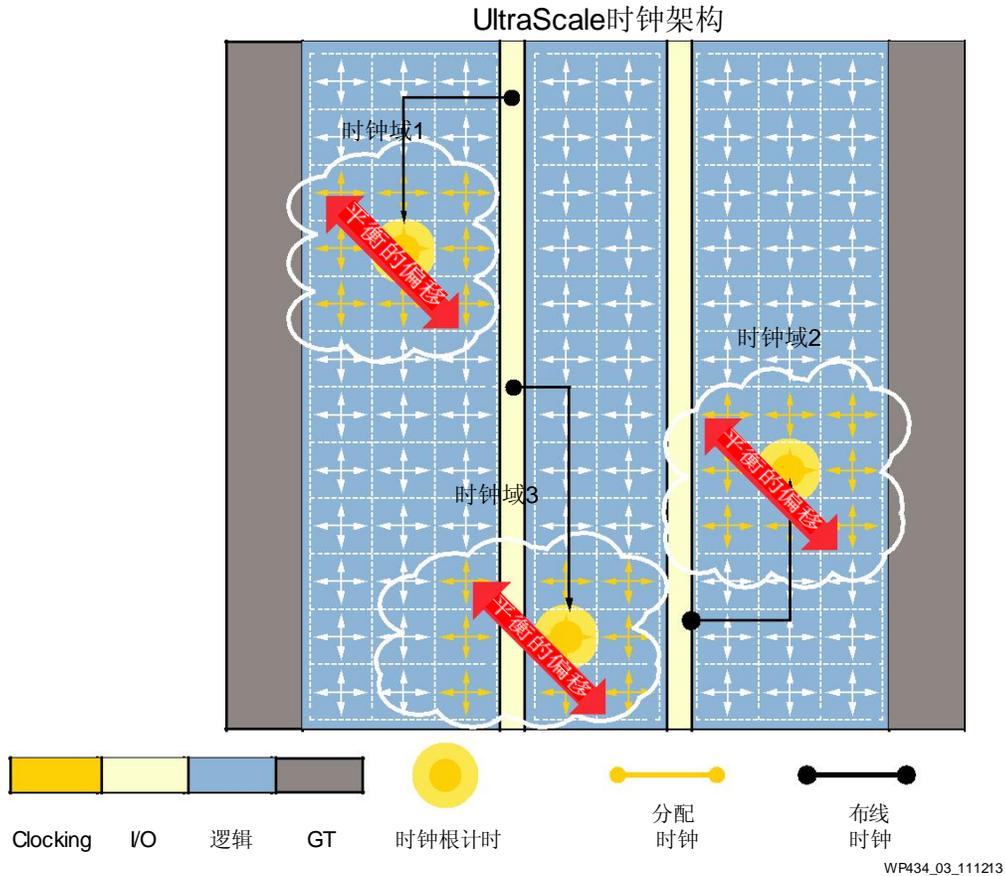


图3: UltraScale时钟架构

UltraScale架构中的时钟布线和缓冲器经过了彻底的重新设计，相对于现有的FPGA架构而言显著提高了灵活性。由于在纵横方向时钟布线资源和时钟分配资源都非常丰富，因此UltraScale架构能提供数百个具有全局功能的时钟缓冲器。UltraScale架构具有全局功能的时钟缓冲器数量比前代架构多出20倍以上，可提供成千上万种布局选项。从本质上说，时钟网络的“中心”也就是时钟偏移开始积累的位置能放置在UltraScale FPGA中的任何时钟区域。这就使得时钟网络仅在所需的位置进行扩展，就跟ASIC一样！UltraScale架构实现了最低偏移和最快速的时钟网络，其仅消耗时钟信号从源头到目的地所需的功率。

设计使用更少的CLB，从而缩短了线长

当时钟和数据信号到达逻辑资源后，UltraScale架构提供增强型CLB，能最高效地利用可用资源，其目标是减少总互连（即总线长）。对现有CLB结构的方方面面都进行分析，从而探索如何高效使用组件。因此产生的所有增强功能支持Vivado工具在CLB中放置更多互不关联的组件，从而实现高度紧凑的设计。这种设计以高性能工作，并通过实现最佳的整体器件利用率，尽可能地降低功耗。

CLB结构的众多变化为可能的封装选项增加了灵活性。每个6输入LUT与两个触发器结合使用。每个触发器都有专门的输入输出，可支持所有组件一起使用或者完全独立于彼此而使用。触发器受益于控制信号数量和灵活性的提升，可用时钟使能信号数量翻倍，在时钟使能和重设端口上的可选“忽略”，以及可选复位逆反，从而不仅可支持在相同CLB中同时实现高电平有效和低电平有效复位触发器，而且还能为位移寄存器和分布式RAM功能提供额外的时钟信号。

利用UltraScale架构增加的布线资源数量和高度灵活的时钟架构，CLB的连接功能可显著提升，从而支持高性能的紧凑型设计，提升器件利用率，并降低整体器件功耗。参见图4。

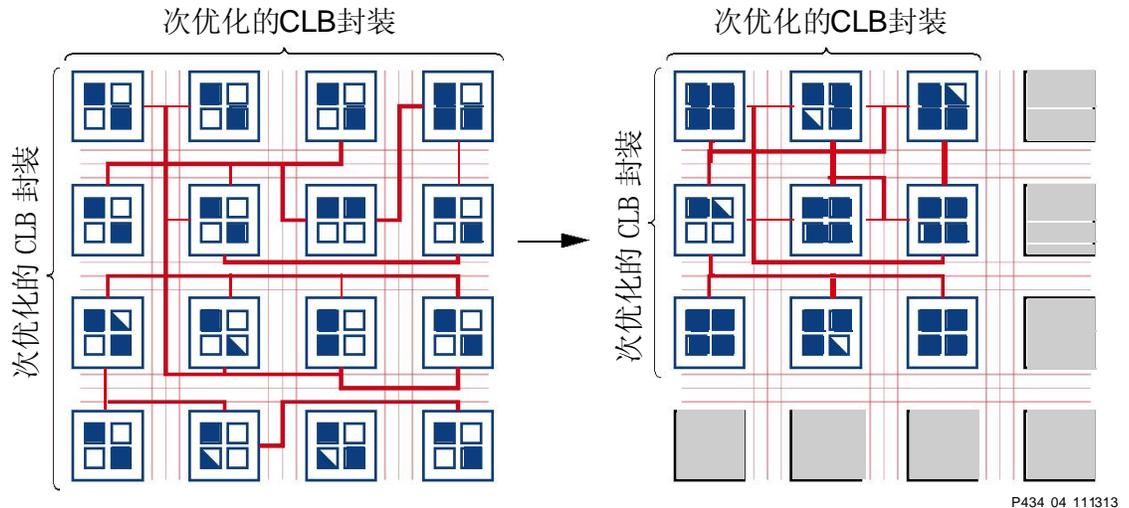


图4: 逻辑资源的高效布局

P434_04_111313

提供超大I/O带宽

数据首先要到达目的地才能进行信号处理和数据运算。目前有多种针对目标应用特定需求制定的串行和并行协议标准。大多数标准的共同主旨都是增加数据总吞吐量，使系统以更高的数据速率传输大量信息。

结合采用高性能并行SelectIO™协议和高速串行收发器连接功能实现UltraScale FPGA数据输入输出。IO模块凭借灵活的IO标准和多种IO电压支持可实现先进的存储器接口和网络协议。UltraScale架构采用两类串行收发器。其中GTH收发器的数据传输速率高达16.3Gb/s，能提供主流串行协议所需的全部性能。此外，VirtexUltraScale器件还采用了一个GTY收发器，可为芯片到芯片以及芯片到光纤应用提供高达32.75 Gb/s的数据速率。GTY收发器还提供28 Gb/s的背板支持。

UltraScale架构中所有收发器的接收器都具有连续自适应均衡功能，以补偿背板等超高损耗通道中的工艺、电压和温度变化。连续自适应接收器包含一个自动增益控制(AGC)、一个连续时间线性均衡器(CTLE)和一个多抽头判决反馈均衡器(DFE)。

除连续自适应接收器外，UltraScale收发器还提供内置的无损2D眼图扫描功能，使用户能够在时钟数据恢复(CDR)电路看到信号的同时实时查看数据信号，并传送实时数据流量。随后，用户监控系统内部链路裕量并进行必要的调整，从而最大限度地提高链路可靠性。

UltraScale FPGA的所有收发器均支持PCI Express® Gen3 和Gen4协议所要求的数据速率。PCI Express集成模块使该器件能支持多达8个Gen3端点和根端口(Root Port)设计。UltraScale器件采用新型100G以太网和150G Interlaken集成模块，其占用的器件资源显著减少，功耗也比器件逻辑创建的相同IP块低90%。100G以太网模块可配置为10 x10G 或4 x25G；Interlaken模块则可配置为12 x12.5G 或 6 x 25G。

UltraScale架构中的时钟和I/O列可与专门用来实现最高性能存储器接口（包括DDR3和DDR4）的电路耦合。由于每个I/O分组都有额外的时钟资源，因此UltraScale架构能在相同的I/O分组中实现以不同数据速率运行的多个存储器接口，从而充分利用现有I/O 资源。

降低总功耗

由于要在相同功耗预算下为应用提供更高带宽，因此简单地增强设计的时钟、布线和CLB性能是不够的，还有很多与功耗有关的其它因素需要考虑。赛灵思综合考虑了UltraScale架构的各个方面，其中包括工艺技术、模块级低功耗模式、精细粒度时钟门控、DSP封装、专用存储器级联资源以及时钟布线分段。

BRAM嵌入式存储器模块具有专用的数据级联布线和输出多路复用功能，这样能构建具有更低动态功耗、更快速的大型BRAM阵列。所有未使用的BRAM都处于掉电状态，同时每个BRAM都可在运行过程中关闭，而且启动时间极短。UltraScale架构中增强的DSP功能可以降低运行所需的DSP模块总数量，从而缩减总体设计尺寸。这能够显著降低静态和动态功耗。

UltraScale GTH收发器经优化后在10G背板应用中所消耗的功耗显著降低。此外，该收发器具有低功耗模式，当通过低损耗通道（例如芯片到芯片或者芯片到光纤）传输时可启用该模式。

UltraScale架构采用最新时钟布局，仅在需要的位置驱动时钟，能为小部分逻辑关闭时钟，从而进一步提高时钟门控的细粒度。

所有功耗降低方面的创新和技术都采用Vivado设计套件协同开发，从而打造出一款协同优化的高性能低功耗FPGA架构。

跨平台扩展

赛灵思借助7系列FPGA推出了可扩展的最优化架构，使用户可以根据不同FPGA系列所采用的相同架构模块开展设计工作，并在不同系列间方便地实现设计移植。UltraScale架构也采用并加强了这一扩展功能，可同时与KintexUltraScale和VirtexUltraScale系列实现引脚兼容，允许利用不同资源组合进行设计衍生或扩展到新一代产品。这样，用户就能利用具备不同功能水平的器件来充分满足容量、性能、功耗或成本要求，从而保护系统或PCB设计投资。表2给出了KintexUltraScale和VirtexUltraScale系列的封装引脚移植。

表2: 产品系列内外的UltraScale器件迁移路径

封装尺寸 (mm)	27x27 31x31	35x35	40x40			42.5x42.5	45x45	50x50
Kintex UltraScale KU035	•	•						
Kintex UltraScale KU040	•	•						
Kintex UltraScale KU060		•	•					
Kintex UltraScale KU075		•	•			•		
Kintex UltraScale KU100			•	•		•	•	
Kintex UltraScale KU115			•	•		•	•	
Virtex UltraScale VU065				•				
Virtex UltraScale VU080				•	•	•	•	
Virtex UltraScale VU095				•	•	•	•	
Virtex UltraScale VU125					•	•	•	•
Virtex UltraScale VU145							•	•
Virtex UltraScale VU160							•	•
Virtex UltraScale VU440								

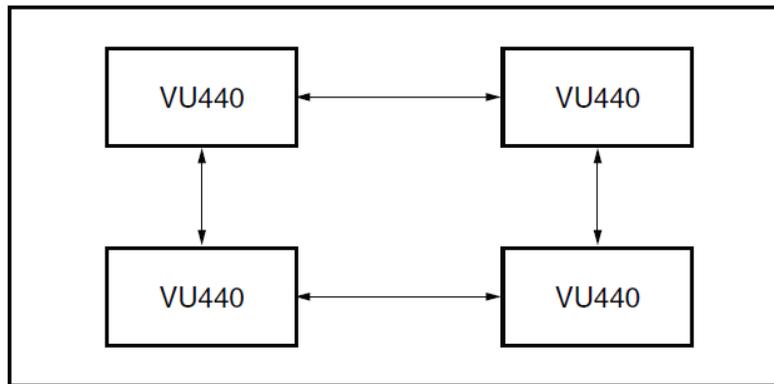
注意：
1. 每列阴影表示引脚兼容范围。

用于高性能智能系统的ULTRASCALE架构

FPGA的可配置和可重编程特性使其得到广泛应用。尤其是高性能UltraScale FPGA让一些重要应用大受裨益。

ASIC原型设计与仿真

随着Virtex-7 2000T FPGA（具有200万个逻辑单元 (LC) 的FPGA）的问世，28nm SSI技术实现了器件容量和功能突破。20nm工艺UltraScale架构采用第二代SSI技术，进一步扩展了容量，使其具有业界领先地位，最新推出的VU440 3D IC器件具有440万个逻辑单元，90Mb的片上block存储器，以及1,400多组用户I/O和48个串行收发器。参见图5。



WP434_05_120613

图5: 包含多个UltraScale FPGA的ASIC原型设计平台

大型FPGA通常可作为备受欢迎的ASIC原型设计与仿真平台。VU440器件相当于5000万个ASIC门，能提供无与伦比的仿真功能。VU440器件的增强功能包括：

- 器件的布线和时钟功能显著提高
- CLB增强，有助于器件封装
- FPGA超级逻辑区域(SLR)（用来构建3D IC的可编程逻辑片）之间的带宽阶梯式提高
- Vivado设计套件的智能布局算法

由于上述技术发展，一部VU440器件就能支持比此前两个7V2000T FPGA还要大得多的设计。

4x100G以太网MAC到Interlaken桥接器

由于受到社交网络和消费视频应用爆炸性增长的影响，以及企业和数据中心客户对于最大可靠性的需求，使得智能数据处理需求继续向前所未有的高度攀升。

负责交付数据的有线通信基础架构必须匹配相关要求，要不断增加系统内部的资源，或者将更多资源与系统智能相结合，从而更高效地处理数据。千兆位以太网数据速率从10G提升到40G乃至100G甚至更高。数据通过以太网到达线路卡上，高度灵活的可扩展芯片到芯片Interlaken协议可用于实现系统中不同组件的通信（参见图6）。

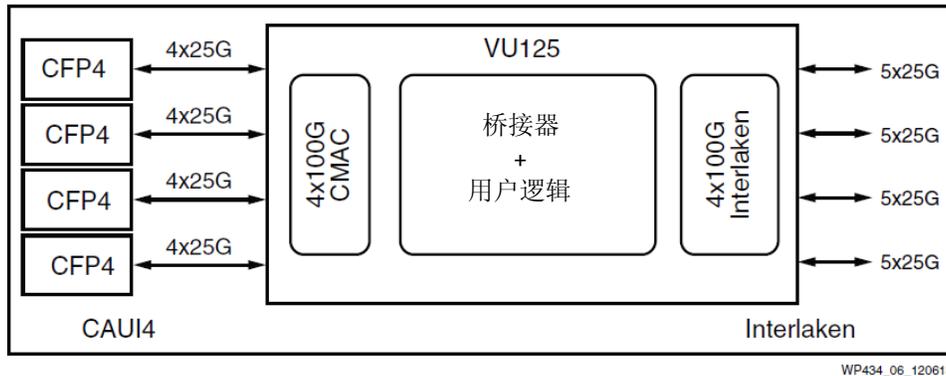


图6: 支持4X100G的VirtexUltraScale解决方案

VirtexUltraScale FPGA提供大量专用集成以太网MAC和Interlaken IP资源，完美符合4x100G以太网MAC到Interlaken桥接器应用的实现要求，从而支持新型通信线路卡。

VirtexUltraScale FPGA中以太网MAC和InterlakenIP的硬化可让系统和用户大获裨益。集成型IP比相应的软IP解决方案时延要低，能实现此前无法企及的性能。通过提供集成解决方案给通用功能，VirtexUltraScale架构能快速集成到设计中，从而提高生产力。设计人员现在也能用以前实现软MAC和Interlaken接口模块的FPGA资源执行包预处理、时戳和其它功能。除了在统一UltraScale FPGA中集成大量FPGA和ASSP之外，可用容量也可实现必要的智能，支持目前线路卡的严苛要求，同时让网络处理单元(NPU)等其它系统组件分出更多资源来满足其它工作要求。

VirtexUltraScale FPGA中的高性能收发器能处理新型光学标准和新一代25G背板标准。GTY收发器支持芯片到光纤应用间高达32.75 Gb/s的速度，能满足CFP2和未来CFP4光学标准要求，包括前向纠错(FEC)的额外开销。对新一代25G背板（如802.3bj和CEI-25G-LR）而言，GTY收发器能在背板上以28.21 Gb/s的速度可靠运行。随着应用通过极高速收发器向FPGA提供越来越多数据，FPGA的内核架构必须能够高效执行必要的数据处理功能，而且速度要达到类似的高水平，这样才不会构成系统中的瓶颈。通过与Vivado设计套件的协同优化，UltraScale架构可显著增加布线资源，结合其它CLB和BRAM创新优化，能确保高性能数据总线在整个器件中方便地实现布线。

超高清处理

KintexUltraScale FPGA的容量超过100万个逻辑单元、包含5500多个高性能DSP slice，DSP性能超过8,000 GMAC/s，能让视频处理应用大获裨益。最大型的KintexUltraScale FPGA采用第二代SSI技术，能可靠集成多个FPGASLR，从而在产品系列生命周期早期阶段就实现器件的超高功能。由于所有基于UltraScale架构的FPGA中都集成了存储器PHY，KintexUltraScale器件能非常高效地缓冲来自多个通道的数据。UltraScale存储器接口架构的发展能让低时延存储器接口的运行功耗低于现有的FPGA架构，并能方便地扩展支持DDR4存储器。参见图7。



图7: KintexUltraScale超高清处理解决方案

8K视频图像的处理涉及数千万像素，并且高度依赖于KintexUltraScale FPGA的DSP功能。当然，设计人员要持续关注尺寸、重量和功耗，上述所有因素的要求都非常严格。SSI技术的容量和功能不断提升，支持基于UltraScale架构的FPGA使用一部FPGA就能实现其它解决方案多部器件完成的功能，其直接收益就是开发板的复杂性和成本得以降低，从而有利于减小开发板的尺寸和重量。采用单部FPGA而非多部器件，能减少I/O数量，进而降低系统总功耗。基于UltraScale架构的FPGA可提供许多软硬件功耗优化机制，能进一步降低功耗，从而满足高性能视觉处理系统的要求，支持封闭环境下对功耗和热量都非常敏感的应用。

无线远程射频单元数字前端

智能手机、平板电脑等互联设备的日益普及，不仅推动了数据使用量的增长，并且需要持续的连接功能。为了满足这一需求，无线基础架构必须能够支持不同的多模或异构网络标准（GSM、WCDMA和LTE）。这种灵活性虽为用户带来极大便利，但也对设备制造商带来了一些挑战，需要他们设计更加复杂的无线电柱。远程射频单元是分布式基站架构的组成部分，能提供必要的多模支持。在天线附近电柱的高处架设射频单元，从系统性能的角度来看是有利的（能大幅度降低传输线路损失），

但这会在天线杆顶部附近小型封闭环境中增加复杂的功能，难以存取和维护。因此，在选择系统组件时要考虑的关键因素就是可靠性、功耗和制冷。参见图8。

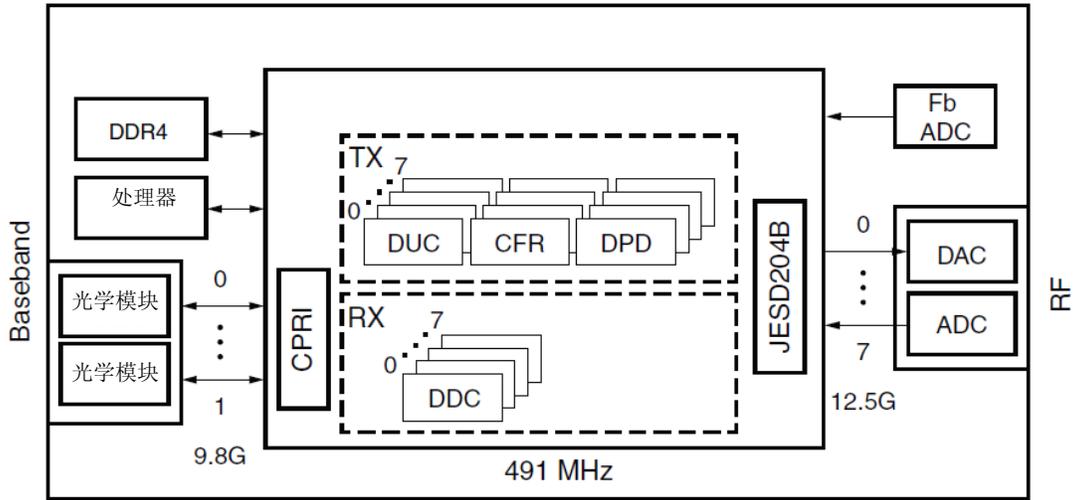


图8: KintexUltraScale无线远程射频单元DFE实现方案

KintexUltraScale FPGA非常适用于新一代远程射频单元数字前端应用。考虑到电柱顶部空间至关重要，使用组件越少越好。KintexUltraScale FPGA具有丰富的DSP资源，能够在同一FPGA中执行远程射频所有必须的信号处理功能（上变频器、下变频器、波峰系数削减和预失真等）。单芯片解决方案相对于多芯片方案有着巨大优势。物理上封装较小有利于减小PCB尺寸，减少I/O数量（进而减少焊接接点），提高系统可靠性，这些都有助于降低设备维护的相关运营成本。此外，基于UltraScale架构的FPGA采用高性能DSP和模块存储器，所有FPGA速度等级的性能都超过500 MHz，这就有利于应用降低成本。

低功耗架构和无盖flip-chip小型化封装使得KintexUltraScale FPGA能在封闭环境中工作良好，能尽可能减少气流，从而有限制冷。KintexUltraScale FPGA中的优化收发器性能不仅能满足当前的串行协议(9.8 Gb/s CPRI、12.5 Gb/s JESD204)要求，而且也能提供额外的空间，能扩展支持新一代串行接口，同时确保低功耗优化型收发器架构。

结论

随着世界对信息向更多目的地加快发送的需求不断提升，设备制造商必须在系统中构建更多功能和智能，从而提升系统传输的数据量和速度，而且往往会增加数据总线宽度。传统FPGA架构的一些瓶颈不利于新一代高性能应用的可靠实现。赛灵思 UltraScale架构可为一系列市场应用带来众多收益。结合CLB增强功能、器件布线大幅提升以及类似ASIC的革命性时钟架构以及高性能DSP、存储器接口PHY和串行收发器，所有基于UltraScale架构的FPGA都能推进系统性能不断挑战更高峰。高系统性能、前所未有的高容量和多种低功耗创新使得赛灵思UltraScale架构成为许多新一代应用的明智之选。

修订历史

下表所示为本技术文档的修订历史：

日期	版本	修订介绍
12/10/2013	1.0	赛灵思第一版

DISCLAIMER

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.